DENEY 5

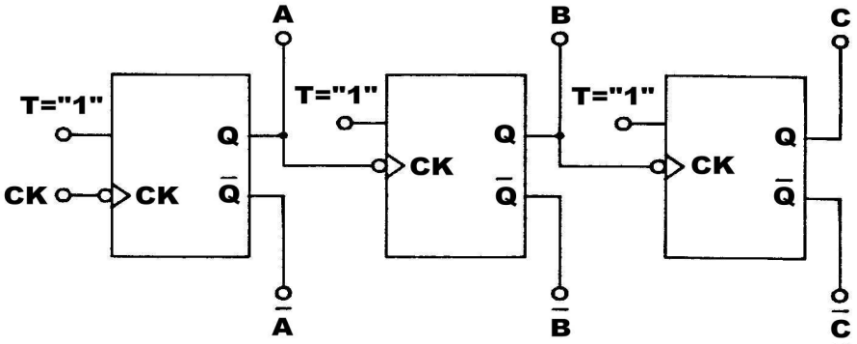
Jk Flip-Flop Devreleri İle İkilik Tabanda Asenkron Yukarı Sayıcı

DENEYİN AMACI

Bu deneyde sayıcıların prensipleri incelenecek ve JK flip-flopları ile ikilik tabanda asenkron bir yukarı sayıcı uygulaması yapılacaktır.

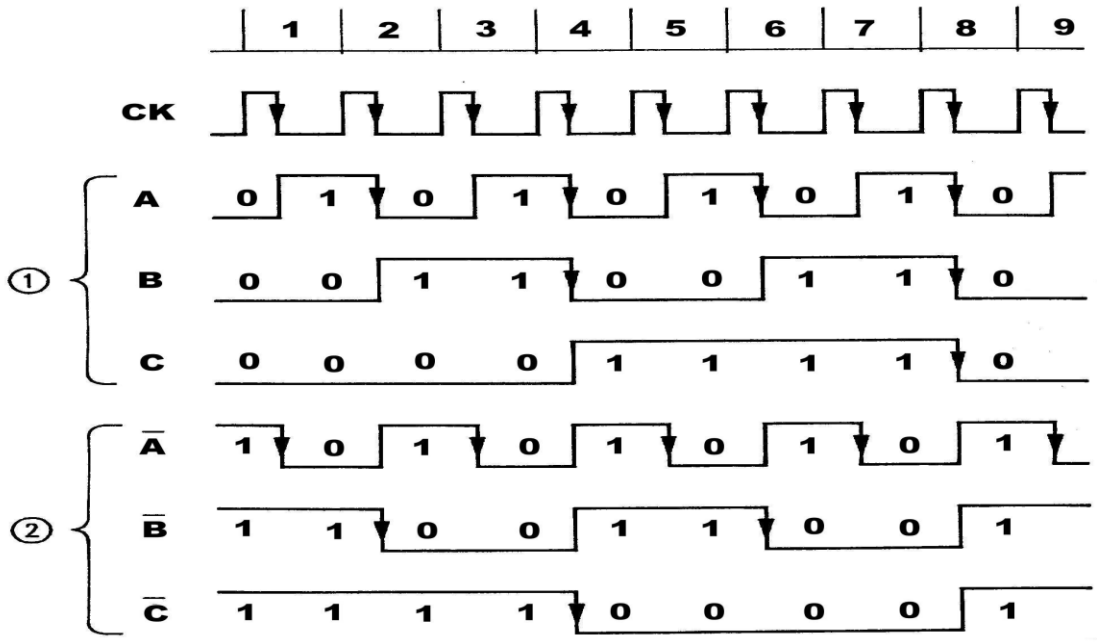
GENEL BİLGİLER

Sayıcılar flip-flop ve temel lojik kapılar kullanılarak gerçekleştirilirler. T flip-floplar T=1 ve CK=1 olduğunda "0" ile "1" durumları arasında gidip gelmektedir.



Şekil 4.1. Art arda bağlanmış üç tane T flip-flop

Üç tane T flip-flopunun art arda bağlandığı Şekil 4.1'deki devreye bakalım. Öndeki flip-flopların Q çıkışları kendilerinden sonra gelen flip-flopun saat girişine (CK) bağlanmıştır. Şekil 4.2'de, Şekil 4.1'deki çıkışların dalga şekilleri gösterilmiştir.

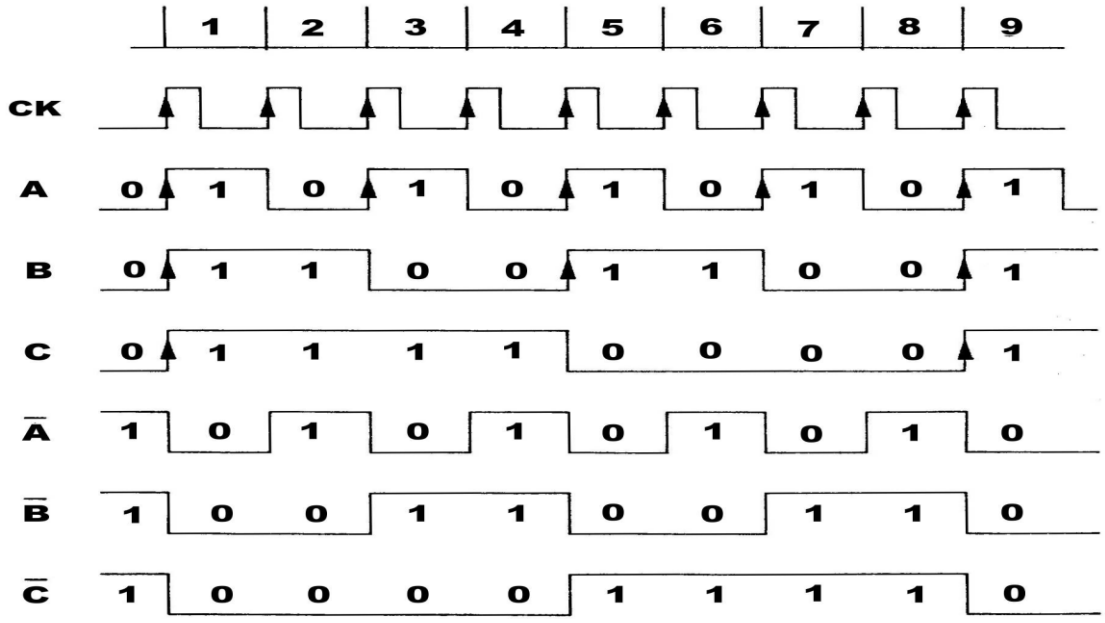


Şekil 4.2. Şekil 4.1'deki çıkışların CK inen-kenar tetiklemeli dalga şekilleri

Şekil 4.2'de A, B, C normal çıkışları yukarı doğru sayarken, A', B', C' tümleyen çıkışları aşağı doğru saymaktadır ve CK inen-kenarla tetiklemektedir.

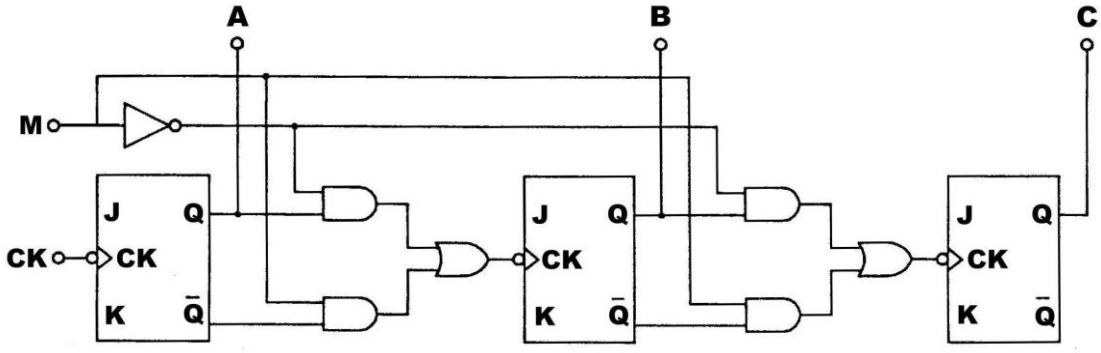
A'nın döngü süresi CK'nın iki katı, frekansı ise yarısıdır.
B'nın döngü suresi A'nın iki katı, frekansı ise yarısıdır.
C'nın döngü suresi B'nin iki katı, frekansı ise yarısıdır.

CK çıkan-kenarla tetiklerse çıkışların dalga şekli Şekil 4.3'te gösterildiği şekilde olur. Burada A, B ve C'nin yukarı doğru saydığı açık olarak görülmektedir. Şekil 4.1'deki devre CK Q çıkısına bağlıyken yukarı doğru, $\bar{Q}$ çıkısına bağlıyken aşağı doğru sayacaktır.



Şekil 4.3. Şekil 4.1'deki çıkışların CK çıkan-kenar tetiklemeli dalga şekilleri

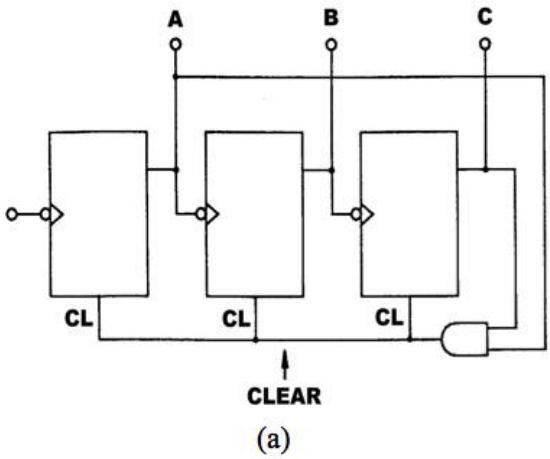
JK flip-flopu, bu deneyde temel sayıcı devrelerini gerçekleştirmek için kullanılan genel bir flip-floptur. Şekil 4.4'te gösterilen devre JK flip-floplarının art arda bağlanmasıyla gerçekleştirilmiş bir yukarı/aşağı sayıcıdır.



Şekil 4.4. JK flip-floplarının art arda bağlanmasıyla gerçekleştirilmiş bir sayıcı

M=0 iken, CK Q çıkısına bağlanır ve devre "YUKARI" doğru sayar.
M=1 iken, CK $\overline{Q}$ çıkısına bağlanır ve devre "AŞAĞI" doğru sayar.
Şekil 4.4'teki devrede olduğu gibi art arda bağlamayla oluşturulan devreler "Asenkron Sayma" yapar. "n'e bölme etkisi"ni elde etmek için çıkış CL (CLEAR-SİL) girişine bağlanmalıdır.

Şekil 4.5(a)'da "5'e bölme devresi" gösterilmiştir. Devrenin Şekil 4-30 (b)'de gösterilen doğruluk tablosundan, "0" ile "5" durumunun eşit olduğu ve bu şekilde bir çevrim oluşturarak 5'e bölme devresini meydana getirdiği görülmektedir.

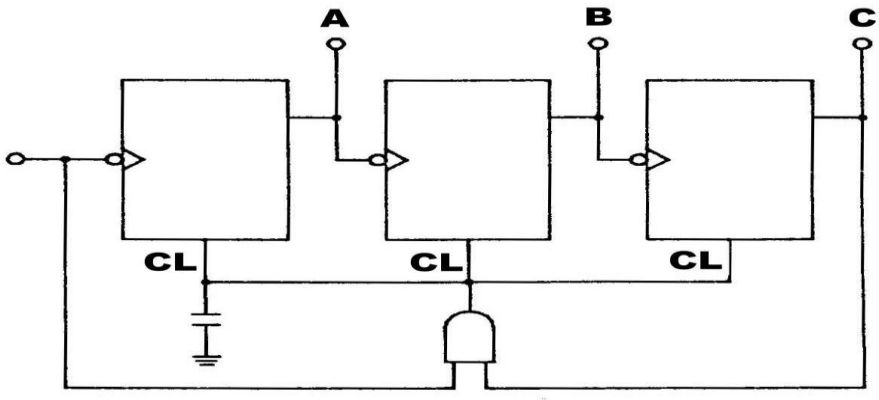


STATE	C	B	A
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	0	0	0
6	0	0	1

(b)

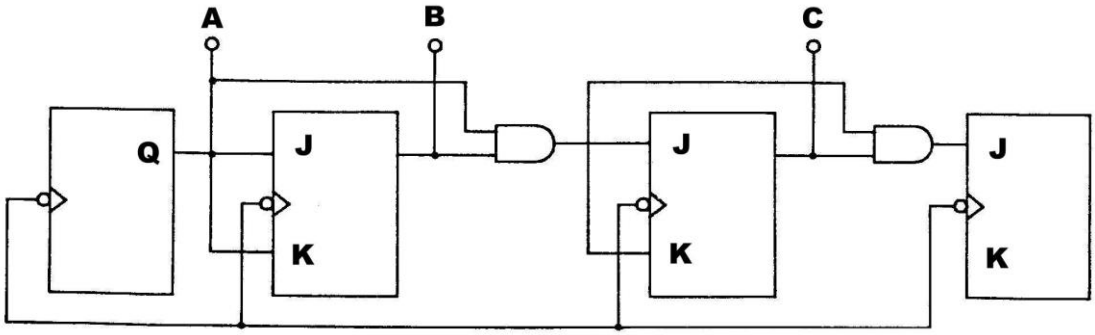
Şekil 4.5. 5'e bölme devresi ve doğruluk tablosu

Şekil 4.5(a)'da A ve C çıkışları bir VE kapısıyla CL (SİL) girişine bağlanmıştır. Böylece, "5" durumu 2 tabanında "101"e eşit olduğu için, CBA=101 olduğunda sayıcı sıfırlanır. Asenkron n'e bölme işlemini elde etmenin bir başka yöntemi de, bir "5'e bölen sayıcı devresi" olan Şekil 4.6'daki devrede gösterilmiştir. CBA=100 durumunda C çıkısı CL girişine bir VE kapısıyla bağlanmıştır. Silme işlemini uzatmak için CL girişlerine bir kondansatör bağlanmıştır. Kondansatör burada "1" durumunu devam ettirerek CK düşerken flip-flopun SİL madunda kalmasını sağlar. Saat işaretinin inen-kenarında sayıcı hala "engellenmiş" haldedir.



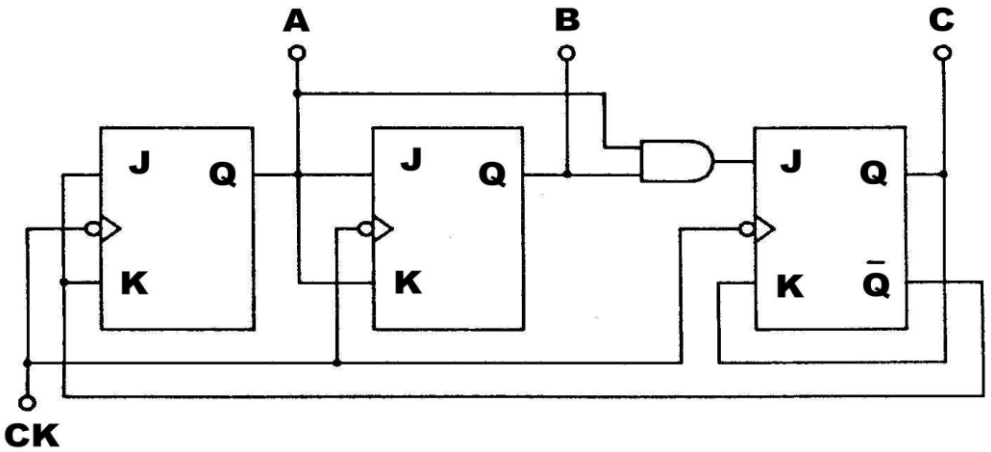
Şekil 4.6. 5'e bölme devresi

2'ye bölme ve 5'e bölme devreleri art arda bağlanarak BCD kodunda sayıcı devre oluşturulur. 10'a bölme ve 6'ya bölme devreleri 60Hz frekansındaki AC gerilimle birleştirilerek 1Hz'lik zamanlama işareti elde edilir. Eğer bütün saat girişleri birlikte bağlanırsa bir senkron sayıcı elde edilir. Böyle devrelerin çalışma hızlı art arda bağlanarak elde edilmiş asenkron sayıcılarınkinden çok daha fazladır, ancak senkron sayıcılarla 2^n sayıcılar tasarlamak oldukça karmaşıktır. Şekil 4.7'de 4-bitlik 16'ya bölen sayıcı devresi gösterilmiştir.



Şekil 4.7. 4-bitlik 16'ya bölen sayıcı devresi

Şekil 4.8'de senkron 5'e bölen sayıcı devresi gösterilmiştir. Bu devrenin yapısının asenkron sayıcıdan daha karmaşık olduğu açıktır.



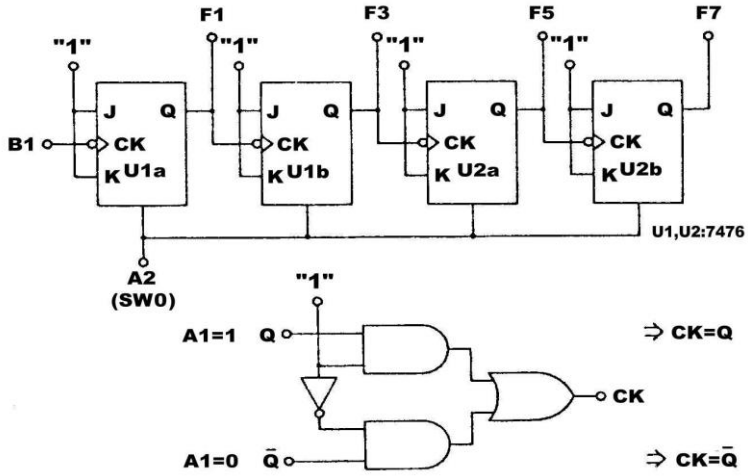
Şekil 4.8'de senkron 5'e bölen sayıcı devresi

KULLANILACAK ELEMANLAR

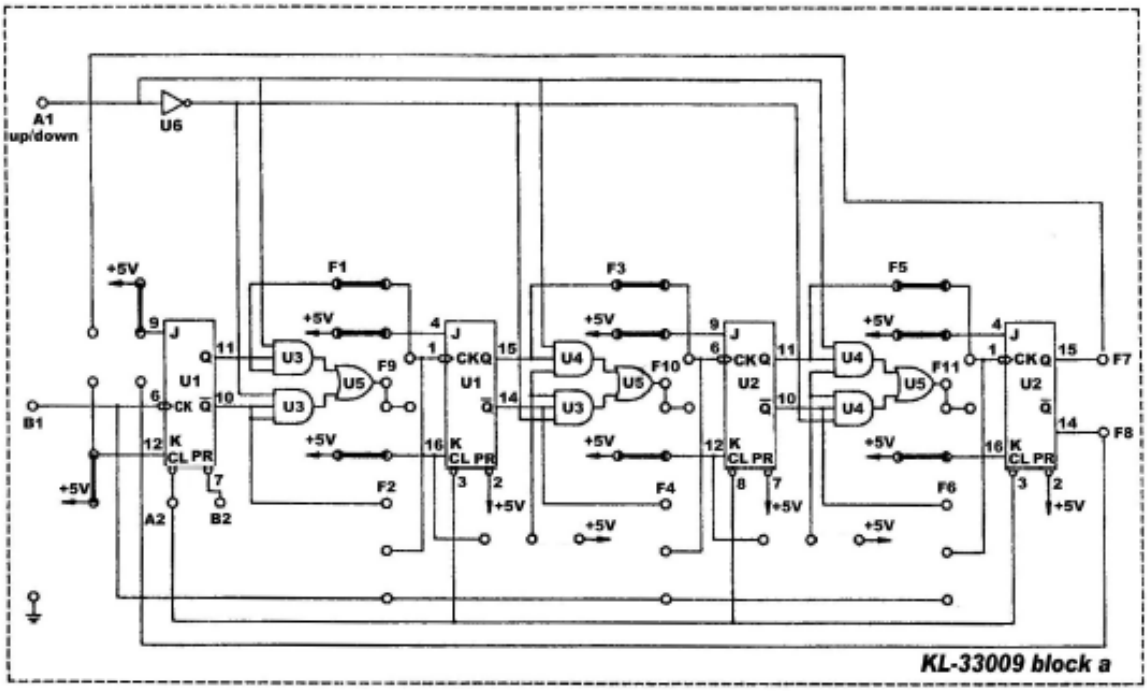
1. KL-31001 Dijital Lojik Lab.
2. KL-33009 Modülü
3. Osiloskop

DENEYİN YAPILIŞI

1. Şekil 4.9'daki devreyi kurmak için bağlantı klipslerini Şekil 4.10'a göre yerleştirin.



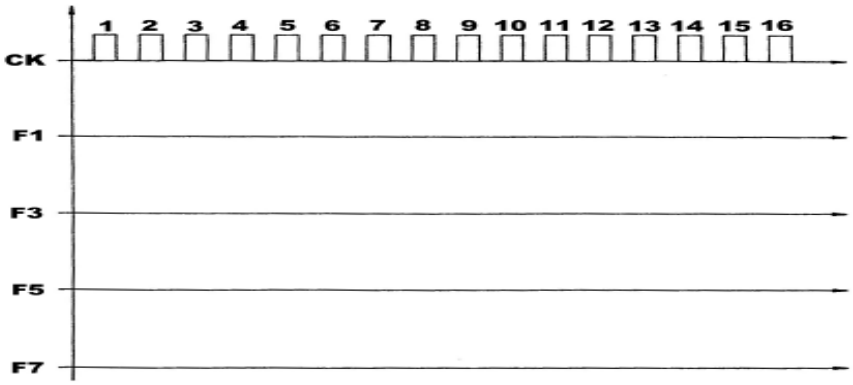
Şekil 4.9. İkilik tabanda asenkron bir yukarı sayıcı



Şekil 4.10. Şekil 4.9'daki devrenin *KL-33009 blok a* üzerindeki bağlantıları

2. A2 (Clear) girişini SW0 anahtarına, A1 girişini +5V'a, F1, F3, F5, F7 çıkışlarını L1~L4 lojik göstergelerine, B1(CK) saat girişini darbe üretecine bağlayın ve frekansı 1 KHz olarak ayarlayın.

3. Başlangıçta SW0 anahtarını "1" konumuna getirerek çıkısı sıfırlayın. Daha sonra saymaya başlamak için SW0 anahtarını "0" konumuna getirin. Saat işaretini ve çıkışları osiloskop ile ölçüp çıkışları Şekil 4.11'e kaydedin.



Şekil 4.11. Şekil 4.10'daki devrenin çıkış ölçümü

Sayma sürecinde SW0 anahtarı "1" konumuna getirilirse ne olur?