

DENEY NO: 3

Flip-Flop'lar Ve Ardışıl Devre Tasarımı

Deneyin Amacı

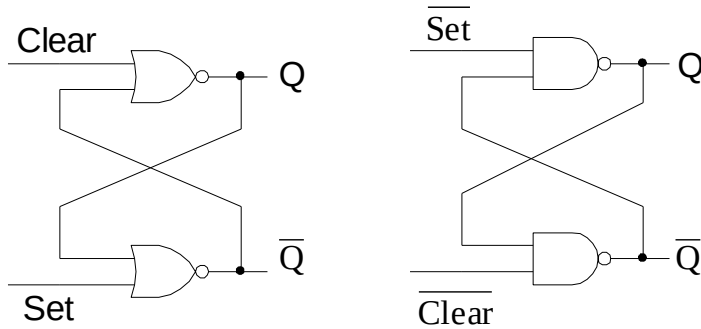
Bu deneyin amacı Flip-Flop (FF)'ların fonksiyonlarının tanınması ve senkron ardışıl devre tasarım aşamalarının uygulanarak devre tasarımı yapılmasıdır.

Ön Bilgi

Flip-floplar bir bitlik bilgiyi saklama kabiliyetine sahip olan devrelerdir. FF'ların diğer önemli bir özelliği de frekans bölücü olarak kullanılabilmesidir. FF'lar yapısal olarak, tek hücreli (latch), kapılı tip (saatli - Clock girişli) ve çift hücreli olmak üzere 3 tipdir.

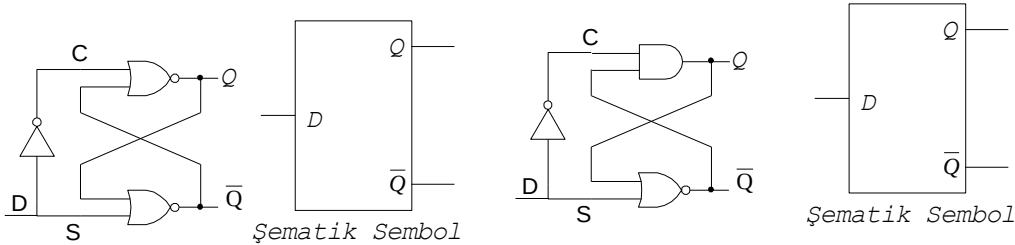
Fonksiyon itibarıyla dört çeşit FF vardır: S-C (R) tipi FF, D-tipi FF, T-tipi FF ve J-K FF. J-K FF'larda tanımsız durum olmadığından ve D ve T FF'lar elde edilebildiğinden bu FF'ların kullanılması daha uygundur. Bu deneyde J-K flip-floplar kullanılacaktır. (FF'ların yapısal ve fonksiyonel özelliklerinin araştırılması ve bilinmesi öğrencinin sorumluluğundadır.)

Latch (Mandal) : Latch'ler temel FF devreleridir. Latch'e bilgi yazmak veya silmek her zaman mümkün olabildiği için bu bir asenkron devre elemanıdır. Yani girişler her zaman için açıktır. Çok kullanılan Latch tipleri Şekil 4.1. de verilmiştir. Bunların çalışmasını, tanım tablolarının oluşturulmasını ve avantaj ve dezavantajlarını inceleyip öğreniniz.



Şekil 4.1. NOR ve NAND Latch yapıları.

NOR latch'in girişlerine aynı anda HI işaret uygulanamaz. NAND Latch girişlerine aynı anda LO işaret uygulanamaz. Bu mahzuru ortadan kaldıran Latch yapısı Şekil 4.2'de verilmiştir. Çalışmasını ve tanım tablosunu inceleyiniz.

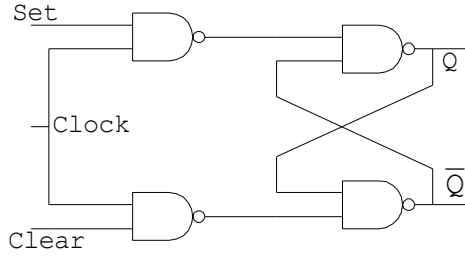


Şekil. 4.2. D-Latch'in yapısı ve sembolik gösterilişi.

Kapılı tip (Saat – Clock modlu) FF'lar.

Latch'lerin her zaman için giriş işaretlerine açık olmaları dezavantajlı bir durumdur. Önemli olan FF'ya yazma ve silme işlemlerinin kontrol edilebilmesidir. Yani FF'nun bir Clock

işaretiyle senkron olarak çalışabilmesidir. Böyle bir yapı Şekil 4.3'te verilmiştir. Şekilden görüldüğü gibi saat modu altında çalışan S-C FF'u iki tane fazladan NAND kapısı kullanılarak elde edilir.

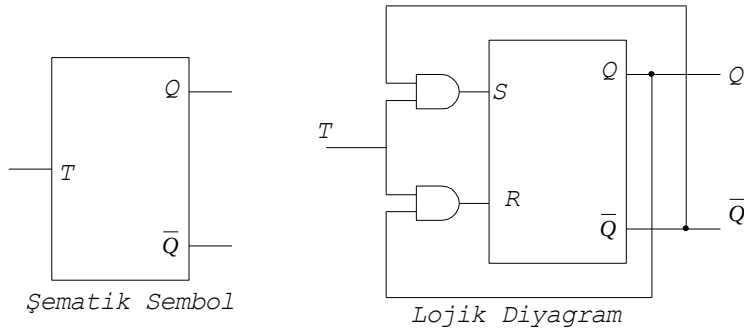


Şekil 4.3 Saat modlu S-C FF

Bu devre sadece FF'ları saat modlu yapmaktadır. FF'un durumları değişmemektedir. İki tane durumu hala kullanılamaz durumdadır. Set ve Clear girişleri saat sinyali HI durumunda olduğu zaman flip-flopun ana kısmına geçerler. Diğer durumda geçemezler.

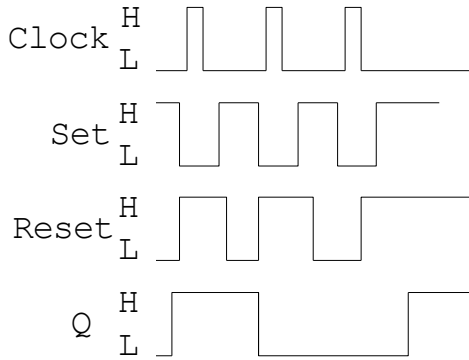
Saat Modlu T Flip-Flop

Saat modlu T tipi flip-flop saat modlu S-C flip-flopun değiştirilmiş şeklidir. Şekil 4.4' da görüldüğü gibi çıkış ve tümleyeni geri beslemeli giriş olarak kullanılmaktadır. Bu girişler Set ve Clear girişleri gibi davranmaktadırlar.



Şekil 4.4 Saat modlu T Flip-Flop

Flip-flop HI yapıldığında Q çıkışı reset girişi olarak kullanılır. Bir sonraki saat darbesi geldiğinde, latch sıfırlanır. HI Q çıkışı set girişine geri besleme olarak gelir. Bundan sonraki saat darbesinde flip-flop set edilir. Çıkış durumunu Set durumundan Clear durumuna almak ve oradan tekrar Set durumuna almak için iki tane saat darbesine ihtiyaç vardır. Bu tip devrelere T flip-flop denir çünkü çıkış her saat darbesinde bulunduğu durumun tümleyeni olur. T flip-flop için zamanlama diyagramı Şekil 4.5' te görülmektedir.

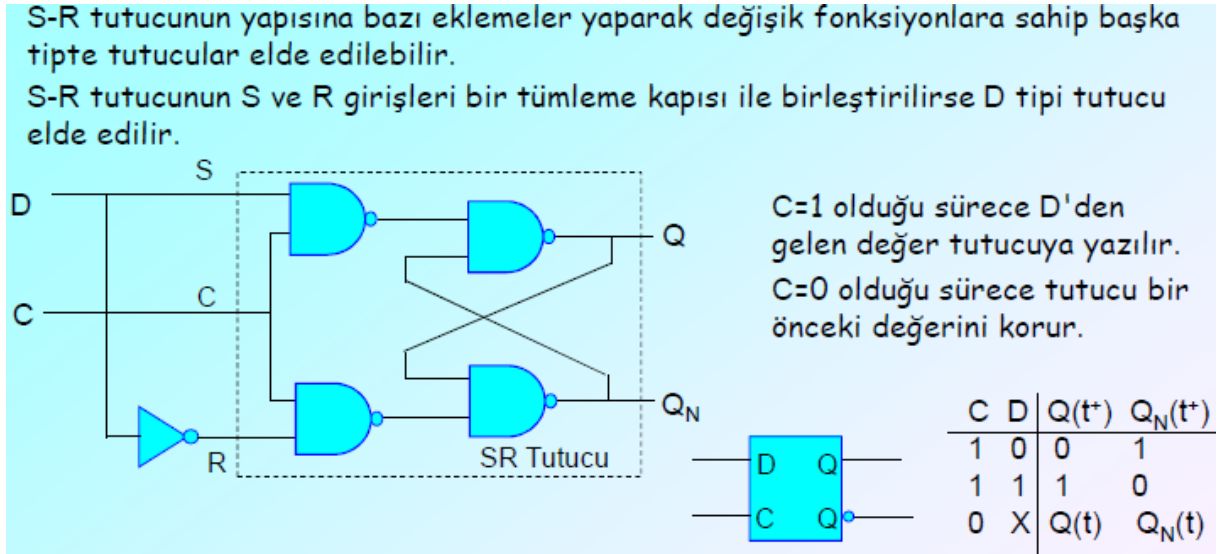


Şekil 4.5 T Flip-Flop Zamanlama Diyagramı

Çıkış sinyalinin frekansı giriş sinyalinin frekansının yarısıdır. Bu tip devrelere genelde 2'

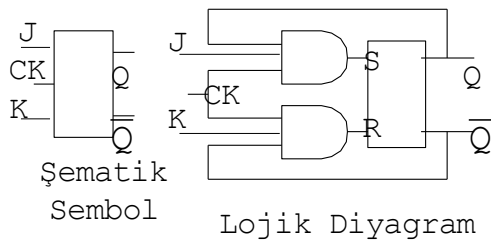
den 1' e frekans bölücü denir. T tipi flip-flopların TTL teknolojisi ile yapılanı yoktur, bununla birlikte elde bulunan devrelerle bu tip flip-floplar dizayn edilebilirler.

Saat Modlu D Tipi Flip-Flop



J-K Flip-Floplar

En son görülecek olan flip-floplar J-K flip-floplardır. Bu flip-floplar saat modlu S-C flip-flop olarak, saat modlu D flip-flop olarak, T flip-flop olarak ve özelleştirilmiş fonksiyonlar için kullanılabilirler. J-K flip-floplar belirsiz giriş ve çıkış durumuna sahip değillerdir. J-K flip-flop devresi Şekil 4.7' de görülmektedir.



Şekil 4.7 J-K Flip-Flop

CK	J	K	Q
□	L	L	Q ₀
□	H	L	H
□	L	H	L
□	H	H	T

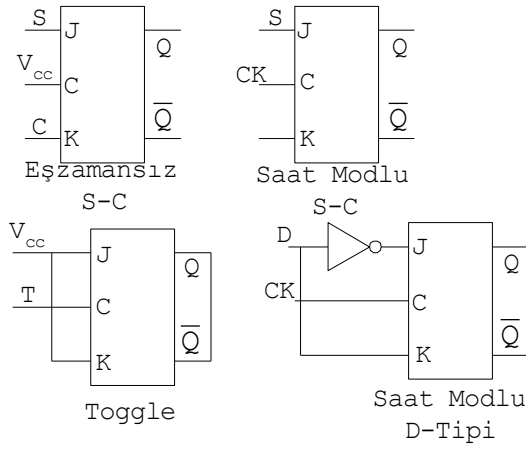
T:Toggle

Doğruluk Tablosu

J-K flip-flopların çalışması şu şekilde özetlenebilir.

- 1- J ve K girişleri LO: saat sinyali LO olduğunda hiç bir şey olmaz.
- 2- J girişi HI, K girişi LO: saat sinyali LO olduğu zaman, Q çıkışı HI olur veya HI durumunda kalır. $\bar{Q}$ çıkışı LO. J girişindeki HI doğrudan Q çıkışına verilir.
- 3- J girişi LO, K girişi HI: saat sinyali LO olduğu zaman, Q çıkışı LO olur ve $\bar{Q}$ çıkışı HI olur. J girişindeki LO değeri doğrudan Q çıkışına verilir.
- 4- J ve K girişleri HI: Devre T flip-flop gibi davranır.

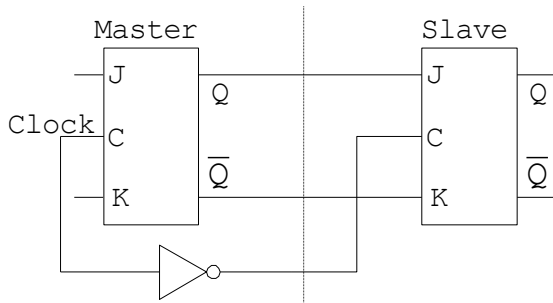
J-K flip-floplar çok esnekler ve daha önce anlatılan bir çok flip-flop fonksiyonu için kullanılabilirler. Bu fonksiyonları J-K flip-floplarla gerçekleştirme şekli Şekil 4.8’ de görülmektedir.



Şekil 4.8 J-K Flip-Flop Konfigürasyonu

Master-Slave FF'lar

J ve K girişleri Master flip-flopun durumunu belirler. Saat sinyali her iki flip-flop için kullanılmaktadır, fakat tersi alındıktan sonra Slave FF'a verilmektedir. Bu durum Şekil 4.9'da görülmektedir.



Şekil 4.9. J-K Master-Slave Flip-Flop Devre Diyagramı

Devrenin saat sinyaline göre durum değiştirdiği kabul edilsin. Saat sinyali HI olduğu zaman Master flip-flop J ve K girişlerine bağlı olarak durum değiştirir. Bu zaman süresince, tersinir olan saat sinyalinden dolayı Slave flip-flop Master flip-flopa cevap vermez. Belli bir zaman saat sinyali HI durumunda kaldığında Master flip-flopun durumu durağan hale gelir ve hala Slave flip-flop Master flip-flopun çıkışına cevap veremez. Saat sinyali HI durumundan LO durumuna geçiş yaptığı zaman, Master flip-flop J ve K girişlerine cevap veremez çünkü saat sinyali LO dır. Bu durumda Slave FF'un C girişi HI seviyesine çıkacağından, Master FF'un çıkışlarına göre (Slave FF'un J-K girişlerine uygulanmıştır), Slave FF'un çıkışları da değişir. Yani Saat işaretinin HI süresince Master'a kaydedilen bilgi, LO süresince Slave'e aktarılır.

Bu tip bir devrenin doğru çalışması için saat sinyali HI olduğu durumda J ve K girişlerinin durağan hale gelmesi gerekir.

FF'larda tetikleme:

Bir FF'un durumu (Çıkışı), giriş işaretindeki geçici bir değişimle değiştirilir. Bu anlık değişmeye tetikleme denir. Tek hücreli (latch) asenkron FF'lar giriş işaret seviyesindeki değişime göre tetiklenen tiptedirler. Bu duruma seviye tetiklemeli yapı denir. Saatli FF'lar ise

darbe (pals)'ler ile tetiklenir. Darbe lojik 0 süresi lojik 1 süresine göre çok uzun olan (küçük duty cycle'a sahip) bir işarettir. Darbe süresi küçük bir değerde olmasına rağmen bu süre boyunca FF'lar istenmeyen girişlere de açık olabileceğinden problemler oluşabilmektedir. Bu problemin üstesinden gelebilmek için, FF'un darbe süresinin tamamı yerine, darbenin sadece (pozitif veya negatif kenar) geçişinde tetiklenmesi (kenar tetiklemesi) sağlanabilir. FF'un darbe geçişinde tetiklenmesi için bir yol FF'un saat girişine bir RC elemanı bağlamaktır. Fazla kullanılmaz. Kenar tetiklemesi için ikinci bir yol bir çift hücreli FF kullanmak veya kenar tetiklemeli bir FF kullanmaktır(Bu yapıların öğrenilmesi öğrencin sorumluluğundadır).

Deneyin Yapılışı

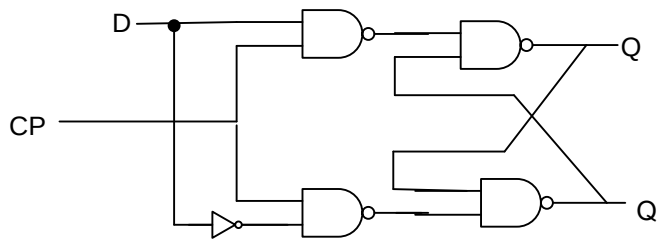
Deney 1: NAND kapıları kullanılarak bir hücreli bir mandal oluşturulması.

NAND bağlaçlarını kullanarak bread-board üzerinde NAND latch oluşturunuz. Devreyi kontrol ettikten sonra enerji uygulayıp NAND latch'in aşağıdaki tanım tablosundaki Q ve Q' çıkışlarını bulunuz.

Set	Clear	Q	Q'	
1	0	...	...	
1	1	...	...	S=1 C=0 dan sonra
0	1	...	...	
1	1	...	...	S=0 C=1 den sonra
0	0	...	...	

Deney 2: Saat modlu flip-flop tasarımı

D tipi flip-flop için NAND ve NOT kapılarını kullanarak aşağıdaki saat modlu flip flop'u tasarlayınız ve tanım tablosunu çıkarınız?

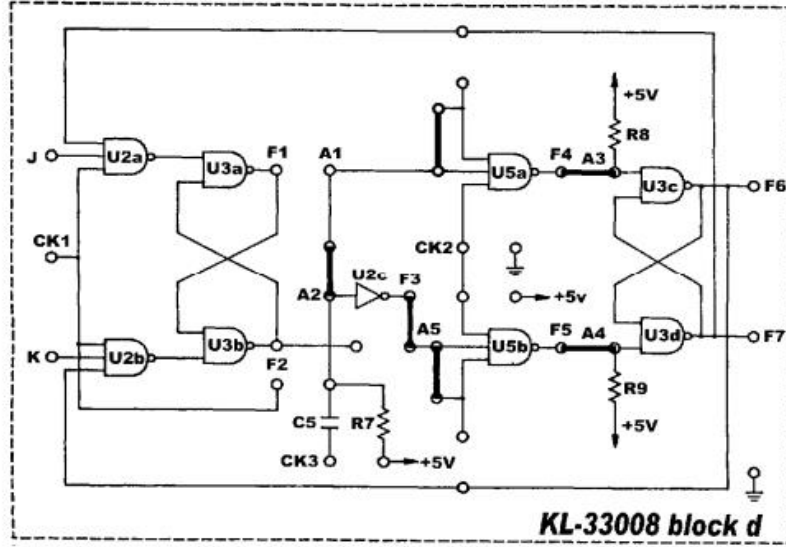


Şekil 4.10. Saat modlu flip-flop

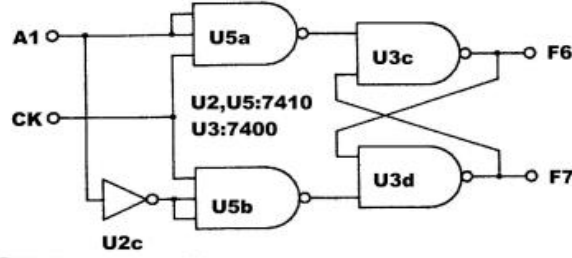
D	CP	Q	
0	0	...	
1	0	...	
0	1	...	
1	1	...	
0	0	...	D=1 CP=1 den sonra
1	0	...	

B. RS Flip-Flop Kullanarak D Flip-Flop Gerçekleştirme

1. Şekil 4-17'deki D flip-flop devresini kurmak için bağlantı klipslerini Şekil 4-16'ya göre yerleştirin.



Şekil 4-16



Şekil 4-17

2. A1 girişini SW1 anahtarına, CK2 girişini SWA anahtarının Q çıkışına, F6 çıkışını ise L1 lojik göstergesine bağlayın.
3. Tablo 4-7'te verilen giriş katarını takip ederek çıkış durumlarını gözlemleyin ve kaydedin.

CK	A1	F6
0	0	
0	1	
1	0	
1	1	

Deney Raporunun hazırlanması:

- 1- **Teorik bilgi:** Konunun anlatıldığı bölümdür. Flip-Flop ve çeşitleri hakkında genel bilgi verilecektir.
- 2- **Deneyin yapılışı:** Maddeler halinde ya da hikaye gibi deneyin nasıl yapıldığı anlatılacaktır.
- 3- **Veriler:** Deney sonucunda elde edilen görüntüler, tablolar vs. gibi elde edilen veriler yazılacak ve yorumlanacaktır.

- 4- **Sorular:** 8 bitlik bir sayıyı uzun süre saklayacak bir hafıza nasıl yapılır? Tasarımını çiziniz?

NOT: Deney raporları deney yapıldıktan sonra 1 hafta içinde teslim edilecektir.